

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327642

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H04J 3/00

H04J 3/06

H04J 3/07

H04L 7/08

(21)Application number : 04-132337

(71)Applicant : NEC CORP

(22)Date of filing : 25.05.1992

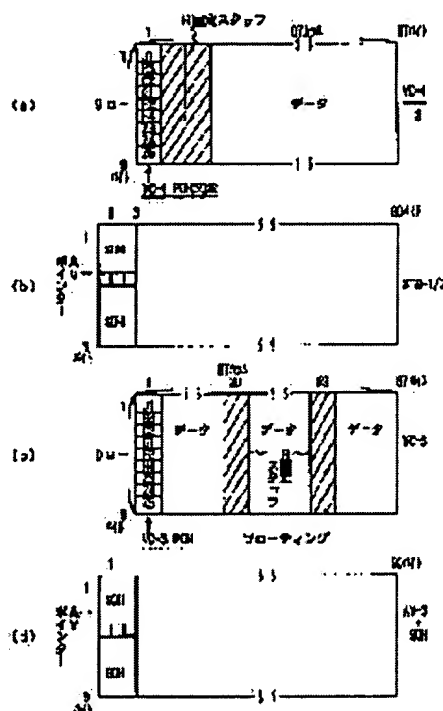
(72)Inventor : YOKOMIZO KENJI

(54) FRAME CONVERSION METHOD AND CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To convert a frame of synchronization digital multiplex structure into a frame for synchronization optical transmission network by replacing a position of a fixed stuff of a 1st frame into a determined position in a 2nd frame for the frame conversion.

CONSTITUTION: When a 1st frame decided according to the protocol of the synchronization digital hierarchy(SDH) is converted into a 2nd frame decided by the protocol for a network different from the synchronization digital hierarchy, the frame is converted by replacing the position of a fixed stuff of the 1st frame into a predetermined position of the 2nd frame. That is, the position of the fixed stuff at the 2nd column and the 3rd column of the frame of a virtual container 4 (VC-4) of a synchronous transfer module N(STM-N) is replaced into a position of a fixed stuff in a VC-3 and the VC-3 subject to frame conversion is mapped to a management unit (AU-3).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Partial English Translation of Japanese Laid-Open Patent
Application No. 05-327642

(57) [ABSTRACT]

[OBJECT]

The present invention is to provide a frame conversion circuit for converting a frame of VC - 4 (Virtual Container 4) included in STM - N (Synchronous Transport Module - N) to a frame for SONET (Synchronous Optical Network) in SDH (Synchronous Digital Hierarchy) provided in G707, G708, and G709 CEPT (European Post and Telecommunication Conference) system SPEC. C.C.I.T.T.

[CONSTITUTION]

A frame conversion circuit is provided with a memory section 2 and a counter section 3, where conversion to a frame for SONET is conducted by replacing the position of a fixed stuff (R) at the second column and the third column of the frame of VC - 4 contained in STM - N into the position of a fixed stuff (R) in a frame of VC - 3.

WHAT IS CLAIMED IS

1. A frame conversion method where a first frame defined according to Synchronous Digital Hierarchy (SDH) having a pass overhead and a fixed stuff provided at a fixed position to the pass overhead is converted to a second frame defined according to a protocol defined in a network

different from the SDH, wherein conversion is conducted by replacing the position of a fixed stuff of the first frame into a position defined in the second frame.

2.A frame conversion method according to claim 1, wherein the network is Synchronous Optical Network (hereinafter, called "SONET").

3.A frame conversion system where a first frame of VC - 4 (Virtual Container 4) contained in STM - N (Synchronous Transport Module - N) defined in a predefined Synchronous Digital Hierarchy is converted into a second frame provided with VC - 3 and Administrative Unit (AU - 3), comprising a memory section and a counter section, wherein a position of a fixed stuff inside specific three columns subsequent to a pass overhead of the VC - 4 is replaced into a position of a fixed stuff in the second frame by controlling writing/reading into/from the memory section using the counter VC - 3 obtained by frame conversion is mapped on AU - 3 to obtain a second frame.

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-327642

(43) 公開日 平成5年(1993)12月10日

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 J

3/00

B 8843-5 K

Q 8843-5 K

3/06

Z 8843-5 K

3/07

8843-5 K

H 0 4 L

7/08

Z 7928-5 K

審査請求 未請求 請求項の数 3

(全 6 頁)

(21) 出願番号

特願平4-132337

(22) 出願日

平成4年(1992)5月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 横溝 賢次

東京都港区芝五丁目7番1号 日本電気株式
会社内

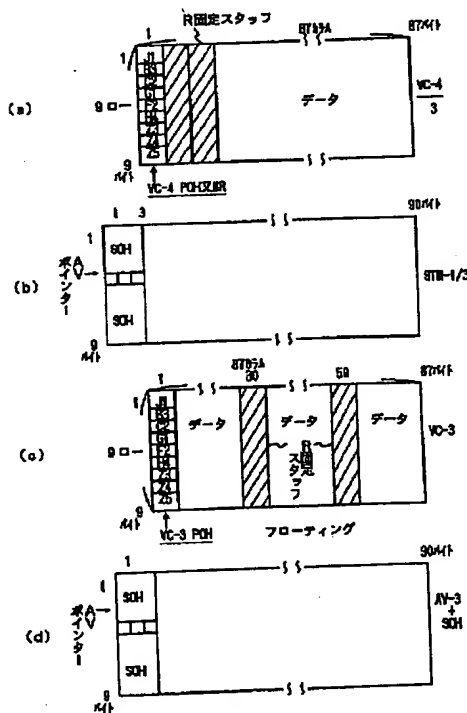
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 フレーム変換方法及び変換回路

(57) 【要約】

【目的】 CEPT系SPEC. C. C. I. T. Tの
G707, G708, G709によって規定されている
SDHにおいて、STM-Nに含まれるVC-4のフレ
ームをSONET用のフレームへ変換するフレーム変換
方法及び変換回路を提供する。

【構成】 メモリ部2とカウンタ部3とを備え、ST
M-Nに含まれるVC-4のフレームの2カラム目と3
カラム目にある固定スタッフ(R)の位置をVC-3の
フレーム中の固定スタッフ(R)の位置に入れ換えるこ
とにより、SONET用のフレームに変換する。



【特許請求の範囲】

【請求項1】 パスオーバーヘッドと、該パスオーバーヘッドに対して固定した位置に設けられた固定スタッフとを有する同期デジタルハイアラキ (SDH) のプロトコールにしたがって定められた第1のフレームを前記同期デジタルハイアラキとは異なるネットワークに定められたプロトコールによって定められた第2のフレームに変換する方法において、前記第1のフレームの固定スタッフの位置を前記第2のフレームに定められた位置に入れ替えることにより変換を行うことを特徴とするフレーム変換方法。

【請求項2】 請求項1において、前記ネットワークは同期光伝送ネットワーク (Synchronous Optical Network, 以下SONETと呼ぶ) であることを特徴とするフレーム変換方法。

【請求項3】 予め定められた同期デジタルハイアラキにおいて定義されているSTM-N (Synchronous Transport Module-N) に含まれるVC-4 (Virtual Container 4) の第1のフレームを同期光伝送ネットワークに定められたVC-3及び管理ユニット (AU-3) とを備えた第2のフレームに変換する回路において、メモリ部と、カウンタ部とを備え、前記メモリ部の書き込み及び読み出しを前記カウンタにより制御することにより、前記VC-4のパスオーバーヘッドに続く特定3カラム内の固定スタッフの位置をAU-3を構成するVC-3の第2のフレーム中の固定スタッフの位置に入れ替え、フレーム変換によって得られたVC-3をAU-3にマッピングして、第2のフレームを得ることを特徴とするフレーム変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル伝送装置に使用されるフレーム変換方法及び変換回路に関し、特に、同期系である同期デジタル多重化構造 (Synchronous Digital Hierarchy, 以下SDHと呼ぶ) における同期移送モジュールN (Synchronous Transport Module N, 以下STM-Nと呼ぶ) に含まれるVC-4 (仮想コンテナ4 (Virtual Container 4, 以下、VC-4と呼ぶ) のフレームを同期光伝送ネットワーク (Synchronous Optical Network, 以下、SONETと呼ぶ) に使用されるフレームに変換する回路に関する。

【0002】

【従来の技術】一般に、この種のデジタル伝送装置におけるプロトコールには、CEPT (European Post and Telecommunication Conference) 系の仕様に基づく、国際電信電話諮問委員会 (C. C. I. T. T) のG707, G708, G709によって規定されているものがあり、このプロトコールは、SDHを前提にして定められたものである。このプロトコールに基づくSTM-Nは、セクションオーバーヘッド (Section Over Head, 以

下SOHと呼ぶ)、管理ユニット (Administrative Unit, 以下AUと呼ぶ) ポインター、及び、ペイロードを含み、ペイロードに含まれるVCは、POH (Pass Overhead) とデータ領域とによって構成されている。特に、VC-4は9ロウ x 261カラムからなり、1バイトのPOHを第1カラムに配置し、それに続く261バイトのデータを残りの260バイトのカラムに配置した構成を備えている。この場合、第2カラム及び第3カラムには固定的に固定スタッフ配置されている。

【0003】

【発明が解決しようとする課題】従来、上記したC. C. I. T. TのG707, G708, G709によって規定されているSDHのフレームをSONET用のフレームへ変換することについて何等提案されていない。

【0004】しかしながら、このようなVC-4を含むSDH用のフレームは、今後、SONETにおいても適用されることがあるものと考えられ、このような適用を考えた場合、SONETに使用されているフレームはSTM-Nのフレームとは異なっているから、SDHのフレームをSONET用のフレームに変換する方法及び回路を考慮しておくことは極めて重要なことである。

【0005】そこで、本発明の技術的課題は、例えば、CEPT系SPEC. C. C. I. T. TのG707, G708, G709によって規定されているSDHのフレームをSONET用のフレームへ変換するフレーム変換方法及び変換回路を提供することにある。

【0006】更に、本発明の別の技術的課題は、SONET用にLSIにフレーム変換回路を接続するだけで、SDH対応のLSIとしても用いることができるフレーム変換回路を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、パスオーバーヘッドと、該パスオーバーヘッドに対して固定した位置に設けられた固定スタッフとを有する同期デジタルハイアラキ (SDH) のプロトコールにしたがって定められた第1のフレームを前記同期デジタルハイアラキとは異なるネットワークに定められたプロトコールによって定められた第2のフレームに変換する方法において、前記第1のフレームの固定スタッフの位置を前記第2のフレームに定められた位置に入れ替えることにより変換を行うことを特徴とするフレーム変換方法が得られる。

【0008】このようなフレーム変換方法はカウンタとメモリとを組み合わせることによって簡単な変換回路によって実現できる。

【0009】

【作用】本発明のフレーム変換回路では、STM-NのVC-4のフレームの2カラム目と3カラム目にある固定スタッフの位置を、VC-3のフレーム中の固定スタッフの位置に入れ換え、当該フレーム変換されたVC-

10

20

30

40

50

3をAU-3にマッピングする。更に、3つのAU-3を多重化してAUGにし、N個のAUGを多重化して、更に、SOHのついたSTM-Nの形で出力する。このような変換を行えば、STM-Nの見掛けAU-4を含むフレームをAU-3を含むフレームに変換できる。

【0010】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0011】図1を参照すると、本発明の一実施例によって変換されるSDHにおけるSTM-1のフレームと変換されるべきフレームとの関係が示されている。まず、図1(a)には、9ロウ×261カラムから成るVC-4の内、この実施例で変換される対象となる9ロウ×87カラム部分が示されている。結果として、この実施例では、VC-4の1/3の周波数のフレーム(以下、(VC-4)/3であらわす)を含むSTM-1の3多重分離化されたフレーム(以下、STM-1/3であらわす)を変換するが、STM-1の全体を変換の対象となるフレームとしてもよい。図示されているように、VC-4の第1カラムには、J1、B3、C2等によって示されたパスオーバーヘッド(POH)が1バイト分だけ配置されており、第1カラムに続く第2及び第3カラムには、固定スタッフRが2バイト分だけ配置されている。残りの84バイト分のカラムには、データが位置付けられている。各ロウにおけるPOH、R、及びデータの部分の位置関係は相互にフローティング、即ち、浮動しており、図示したように、必ずしも矩形形状になっているわけではない。尚、VC-4の残りの1/3つのカラムには、それぞれ、固定スタッフRが3つのカラムにわたって配置されている。

【0012】図1(a)に示された(VC-4)/3のフレームには、図1(b)に示すように、3バイトのセクショクオーバーヘッド(SOH)が第1乃至第3ロウ及び第5乃至第9ロウが付加されている。この場合、各SOHは上記した各ロウの第1乃至第3カラムに配置されており、且つ、第4ロウの第1乃至第3カラムには、管理ユニット(Administrative unit)ポインターが配置され、90バイトのSTM-1/3のフレームが構成されている。

【0013】一方、この実施例で変換されるべきSONET用のフレームには、図1(c)に示すように、VC-3のフォーマット構造を有している。具体的に言えば、VC-3のフォーマットは、9ロウ×87バイトからなり、第1カラムには、1バイトのPOHが配置されるが、第1カラムから29バイト毎に1バイトの固定スタッフRが配置されている。このようなフォーマット構造のVC-3においても、各ロウにおけるPOH、データ等の位置関係はフローティングしている。

【0014】図1(c)に示すVC-3に対し、この実施例では、図1(d)に示すように、SOH及びAUポ

インターを付加して、SONET用のフレームを構成する。

【0015】図2を参照して、本発明の一実施例に係るフレーム変換回路を説明する。図示されたフレーム変換回路は、STM-1の入力データを受け、後述するような動作を行うポインタ処理及び多重分離部1と、このポインタ処理及び多重分離部1に接続された変換部10とを備えている。

【0016】ここで、図示された変換部10は、外部(図示せず)から6.48Mb/Sの繰返周波数を持つクロック信号(以下、6M CLKと呼ぶ)及びポインタ処理及び多重分離部1からSTM-1/3を受けて、フレームを変換し、変換されたフレーム内のデータとして、1バイトずつパラレルに送出するメモリ部2と、このメモリ部2とポインタ処理及び多重分離部1とに接続され、フレーム変換に必要なタイミングで後述する各種のパルスをメモリ部2に供給するカウンタ部3とを備えている。

【0017】図示されたポインタ処理及び多重分離部1は、STM-1の3多重分離化されたSTM-1/3を1バイト毎にパラレルに出力する端子(STM-1/3)、STM-1のフレームの先頭に配置されるPOH(J1)を検出して、その位置をあらわすJI PLSを出力する端子、STM-1/3のSOHの位置及びPOHの位置を検出して、その位置にパルスが出力されるのを防止するためのディスタップパルス(DSTF PLS)を出力する端子を備えている。JI PLS及びDSTF PLSは、6M CLKと共にカウンタ部3に与えられ、カウンタ部3は、メモリ部2に対し、書込パルス(以下、W CLKと呼ぶ)、読出パルス(以下、R CLKと呼ぶ)、及び、POHの位置を規定するパルス(以下、POH CLKと呼ぶ)を供給する。

【0018】メモリ部は、上記したSTM-1/3、6M CLK、W CLK、R CLK、及びPOH CLKを用いて、STM-1/3のフレーム変換を行い、変換されたデータを8ビットパラレルに出力する。

【0019】図3を参照して、図2の動作を簡単に説明しておく。まず、RSTによって、フレーム変換回路が動作状態になると、この状態で、STM-1が入力されると、ポインタ処理及び多重分離部1はSTM-1の第1乃至第3カラムのSOHを検出して、この3バイト分に相当する期間、DSTF PLSをカウンタ部3に与える。このとき、カウンタ部3には、6M CLKが与えられており、DSTF PLSで指示された第1乃至第3カラムの期間カウンタ部3では、カウンタ動作を行わない。結果として、W CLKがメモリ部2には供給されず、この期間、メモリ部2はSOHの書込動作を行わない。

【0020】また、図3の例では、SOHの到来した

5
後、8バイト目(即ち、先頭から11バイト目)にVC-4のPOHのJ1が入力されている。したがって、11バイト目にJ1 PLSがカウンタ部3からメモリ部2に出力されている。同時に、DSTF PLSもカウンタ部3からメモリ部2に出力されている。J1 PLSを受けると、カウンタ部3では、J1に続く2バイトの期間が固定スタッフR用の期間であることを考慮して、固定スタッフRの期間、W CLKをメモリ部2に出力しない。更に、図3に上げられた例では、POHの先頭に配置されたJ1が検出されると、カウンタ部3はJ1の検出後、29バイト毎に、1/29 L PLSをメモリ部2に出力して、変換後のフレーム内の固定スタッフRの位置を指示している。

【0021】メモリ部2には、STM-1/3のデータが入力データ(8ビット)としてパラレルに書き込まれ、図3に示されているようなR CLKにしたがって読み出される。この結果、変換後のPOHの先頭に位置付けられるJ1から29バイト毎に固定スタッフRが配置されたフレームが得られる。

【0022】図4を参照して、メモリ部2の動作をより詳細に説明する。

【0023】まず、ポインタ処理及び多重分離部1でSTM-1を多重分離したSTM-1/3の形の8パラレルに展開された8本の6.48Mb/sのビットレイトを持つデータ信号及び6.48Mのクロック信号(6M CLK)がメモリ部2へ入力される。一方、DSTF PLS(STM-1において存在するSOHバイトとAUポインターにて発生するポジティブ又はネガティブスタッフの部分がアクテブロー信号として出力される)、及びJ1 PLSがカウンタ部3へ入力される。カウンタ部3では、前述したように、1/29 L PLSを作り、このPLSとDSTF PLS、J1 PLS、POH PLS、および6M CLKで歯抜けのW-CLK及びR-CLKを作る。ここで、1/29 L PLSにおいて、フレームのRの位置はPOHから29バイト目、次のRは前の位置から29バイト目の位置とというような関係にあり、POH及びRの部分には、アク

テブロー信号が出力される。

【0024】次に、メモリ部2は、図4に示すように、カウンタ部3で作られたW CLKとPOH PLSより書き込みカウンタ信号(W-COUNTER)を作り、8パラレルに展開された入力データのバイト数を伸ばす。また、R CLKとPOH PLSにより読み出しカウンタ信号(R-COUNTER)を作り、伸ばされたデータ信号をこのパルス信号で抜くことにより、Rの位置を入れ換えてSTM-1/3のフレームをAU-3+SOHのフレームへ変換することができる。

【0025】

【発明の効果】以上、説明したように、本発明によれば、POHとRとの間のある決められた位置関係より、Rの位置を入れ換えることによって、STM-1/3のフレームから、AU-3+SOHのフレームへ変換できるフレーム変換回路を提供することができる。

【0026】さらに、本発明によれば、前記フレーム変換回路を使用することによって、部品点数を削減することができる同期デジタル伝送システムを提供することができる。尚、実施例では、STM-1/3の場合について述べたが、本発明者等の実験によれば、STM-1のままでも、同様な手法を用いて容易にフレーム変換できることが確認された。

【図面の簡単な説明】

【図1】本発明によって、フレーム変換されるSTM-1の構成及び変換後のフレーム構成を示す図である。

【図2】本発明の実施例に係るフレーム変換回路を示すブロック図である。

【図3】図2のフレーム変換回路に使用されるカウンタ一部の動作を説明するためのタイミングチャートである。

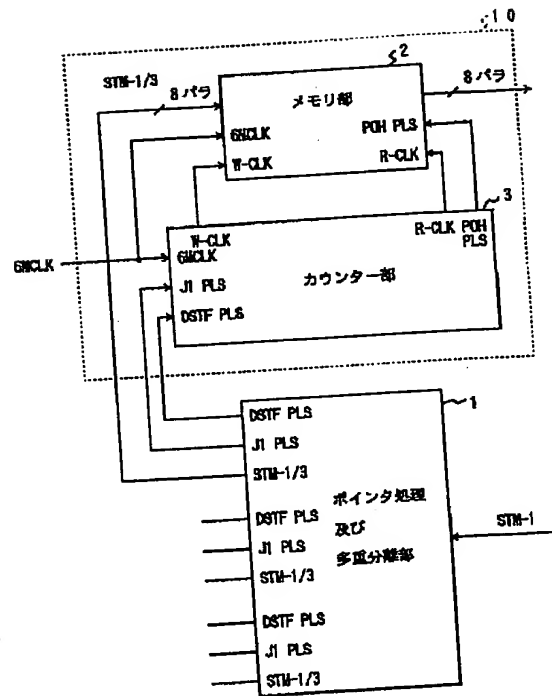
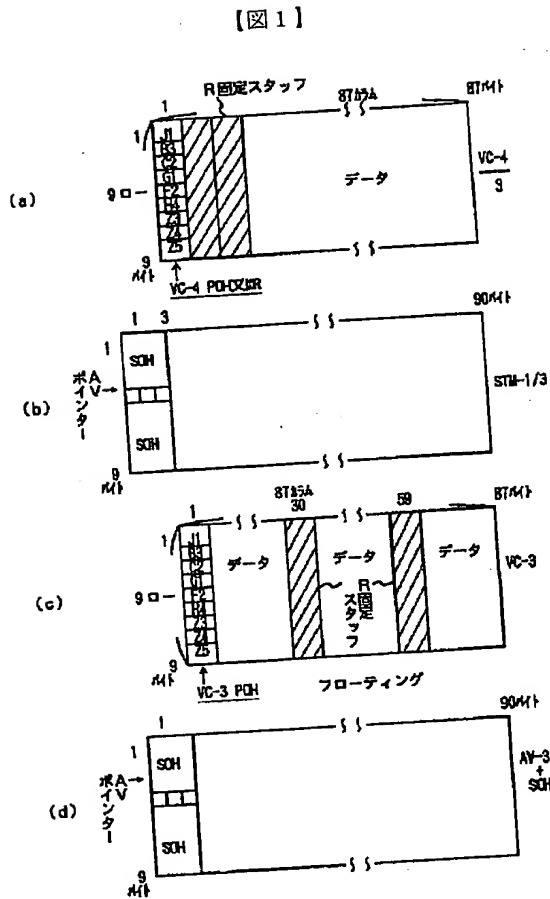
【図4】図2のフレーム変換回路のメモリ部の動作を説明するためのタイミングチャートである。

【符号の説明】

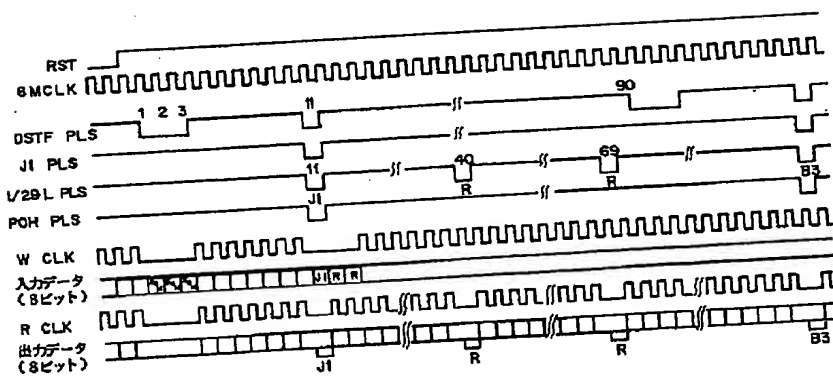
- 1 ポインタ処理及び多重分離部
- 2 メモリ部
- 3 カウンタ部

(5)

【図2】



【図3】



(6)

【図 4】

